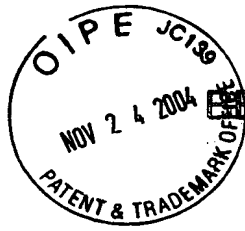


Patent



BEST AVAILABLE COPY

Customer No. 31561
Application No.: 10/710,729
Docket No.13135-US-PA

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kuo
Application No. : 10/710,729
Filed : Jul 30, 2004
For : STRUCTURE OF LTPS-TFT AND METHOD OF
FABRICATING CHANNEL LAYER THEREOF
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93109339,
filed on: 2004/4/5.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: NOV. 22, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

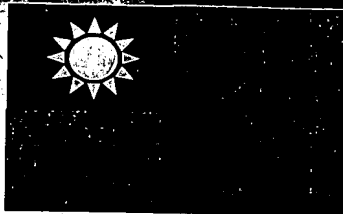
7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2004 年 04 月 05 日
Application Date

申請案號：093109339
Application No.

申請人：廣輝電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320747700
Serial No.

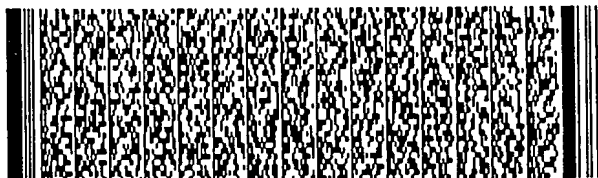


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	低溫多晶矽薄膜電晶體結構及其通道層的製造方法
	英 文	STRUCTURE OF LTPS-TFT AND FABRICATING METHOD OF CHANNEL LAYER THEREOF
二、 發明人 (共1人)	姓 名 (中文)	1. 郭政彰
	姓 名 (英文)	1. KUO, CHENG CHANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龜山鄉華亞二路189號
	住居所 (英 文)	1. NO. 189, HUAYA 2ND RD., GUEISHAN SHIANG, TAOYUAN, TAIWAN 333, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 廣輝電子股份有限公司
	名稱或 姓 名 (英文)	1. QUANTA DISPLAY INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞二路189號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 189, HUAYA 2ND RD., GUEISHAN SHIANG, TAOYUAN, TAIWAN 333, R. O. C.
	代表人 (中文)	1. 林百里
	代表人 (英文)	1. LAM, PAK LEE



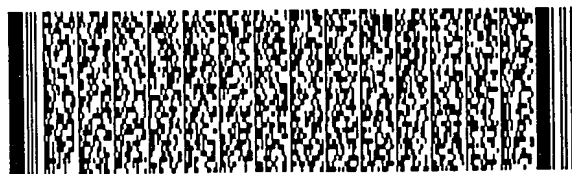
13135twf.pdf

四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其通道層的製造方法)

一種低溫多晶矽薄膜電晶體結構，主要是由頂蓋層、多晶矽薄膜以及閘極所構成。其中頂蓋層係配置在基板上，且其與基板間存在一間隙區。多晶矽薄膜係配置在頂蓋層上，並區分為通道區以及位於通道區兩側之源極/汲極區。其中通道區係位於間隙區上方。而閘極則係配置在通道區上方。由於通道區下方具有間隙區，因此在進行雷射退火製程時，此處之熱傳導率較低，故矽原子具有較長的再結晶時間，以使通道區內形成較大尺寸的晶粒，進而減少通道區內的晶粒界面。且多晶矽薄膜中的晶粒之晶向皆平行於電子在電晶體中的傳輸方向，所以能夠提高電晶體的工作效能。

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD OF CHANNEL LAYER THEREOF)

A structure of LTPS-TFT comprising a capping layer, a poly-silicon thin film and gate is provided. The capping layer with a gap between that and a substrate is disposed on the substrate. The poly-silicon thin film comprises a channel region located above the gap and a source/drain region adjacent to the channel region and located on the capping layer. The gate is disposed above



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其通道層的製造方法)

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD OF CHANNEL LAYER THEREOF)

the channel region. During a laser annealing process, because a thermal conducted factor at there is lower so that a time of re-crystallization of the molten silicon located above the gap is longer so as to obtain larger grain size and reduce the grain boundary therein. The grain orientation in the poly-silicon thin film is substantially parallel to the transmission



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其通道層的製造方法)

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD OF CHANNEL LAYER THEREOF)

direction of electrons in the transistor so as to improve the operation efficiency of the transistor.



六、指定代表圖

(一)、本案代表圖為：圖3

(二)、本案代表圖之元件代表符號簡單說明：

300 : 基板
302 : 緩衝層
304 : 犧牲層
306 : 頂蓋層
308a : 多晶矽薄膜
310 : 間隙區
312 : 區域
314 : 閘介電層
316 : 閘極
318 : 源極/汲極區
322 : 通道區
324 : 介電層
330 : 低溫多晶矽薄膜電晶體
332 : 源極/汲極接觸孔
336 : 源極/汲極導體層
340、350 : 矽晶粒
360 : 晶粒界面



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

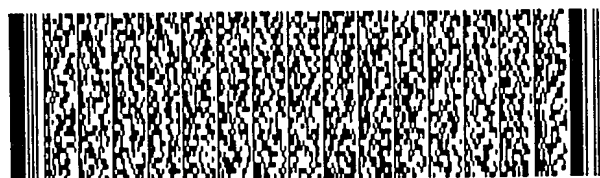
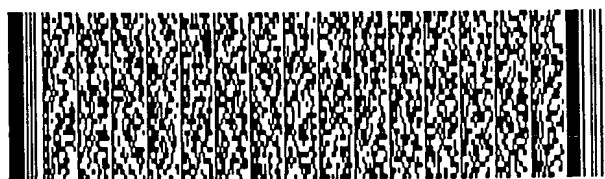
本發明是有關於一種薄膜電晶體結構及其通道層 (channel layer) 的製造方法，且特別是有關於一種低溫多晶矽薄膜 (low temperature poly-silicon，簡稱為 LTPS) 電晶體結構及其通道層的製造方法。

【先前技術】

在一般元件中，都需配置開關以驅動元件的運作。以主動式驅動的顯示元件為例，其通常是以薄膜電晶體 (Thin Film Transistor, TFT) 來作為驅動開關。而薄膜電晶體又可依通道區的材質分為非晶矽 (amorphous silicon，簡稱 a-Si) 薄膜電晶體以及多晶矽 (poly-silicon) 薄膜電晶體，由於多晶矽薄膜電晶體相較於非晶矽薄膜電晶體其消耗功率小且電子遷移率大，因此逐漸受到市場的重視。

早期的多晶矽薄膜電晶體的製程溫度高達攝氏 1000 度，因此基板材質的選擇受到大幅的限制，不過，近來由於雷射技術的發展，製程溫度可降至攝氏 600 度以下，而利用此種製程所形成的多晶矽薄膜電晶體又被稱為低溫多晶矽薄膜電晶體。

在低溫多晶矽薄膜電晶體中，多晶矽薄膜的形成方法係先在基板上形成非晶矽薄膜，之後令非晶矽薄膜熔融 (Melting) 後再結晶 (Re-crystallization) 成為多晶矽薄膜。圖 1A 及圖 1B 是習知低溫多晶矽薄膜之製造流程剖面示意圖。一般常用之雷射退火製程為準分子雷射退火



五、發明說明 (2)

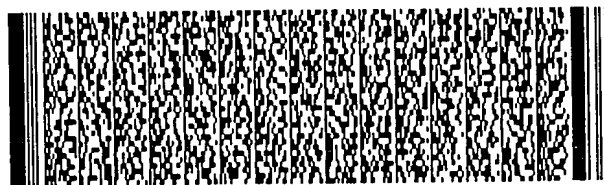
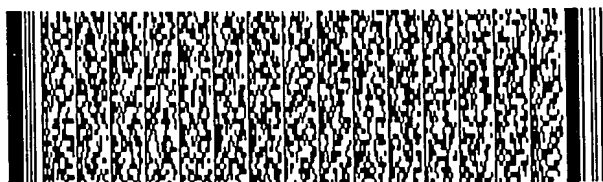
(Excimer Laser Annealing, 簡稱為ELA) 製程。請參照圖1A, 在基板100上形成非晶矽薄膜102之後, 再藉由準分子雷射光束106進行雷射退火 (Laser Annealing) 製程以將非晶矽薄膜102熔融, 而使矽分子再結晶成為多晶矽薄膜102a, 如圖1B所繪示。

然而, 由於ELA製程所形成之多晶矽薄膜102a的晶粒尺寸過小, 且尺寸均勻性(uniformity)不佳, 因此多晶矽薄膜102a中存在有許多晶粒界面(grain boundary), 以致於電子在多晶矽薄膜102a之通道區中的遷移率僅約 $100 \sim 200 \text{ cm}^2/\text{V}\cdot\text{sec}$, 因而對薄膜電晶體的效能造成相當大的影響。

為解決上述之問題, 習知提出另一種稱為連續側向固化 (Sequential Lateral Solidification, 簡稱為SLS) 的雷射退火製程。圖2A至圖2B繪示為習知另一種低溫多晶矽薄膜之製造流程剖面示意圖。

請參照圖2A, SLS製程係利用光罩104來限定非晶矽薄膜102被雷射光束106照射到的範圍, 以熔融部分區域內之非晶矽薄膜102, 即區域110內的非晶矽薄膜102。在某些SLS製程中, 光罩104係由機台控制而做平移的動作, 以使雷射光束透過光罩104上的孔洞108而照射到區域110內所有的非晶矽薄膜102。

請參照圖2B, 在經過一段時間之後, 被熔融之非晶矽薄膜102 (也就是區域110內之非晶矽薄膜102) 將以未熔融之非晶矽薄膜102為晶核而側向成長, 進而在區域110內



五、發明說明 (3)

形成多晶矽薄膜202a。

由圖2B可知，SLS製程可形成晶粒尺寸較大的多晶矽薄膜202a。換言之，以SLS製程所形成之多晶矽薄膜202a中的晶粒界面較少，因此SLS製程與傳統的ELA製程相較之下，SLS製程不但可提高電子在多晶矽薄膜中的遷移率，進而提高薄膜電晶體之效能，更可使得多晶矽薄膜的晶向 (grain orientation) 較為一致。

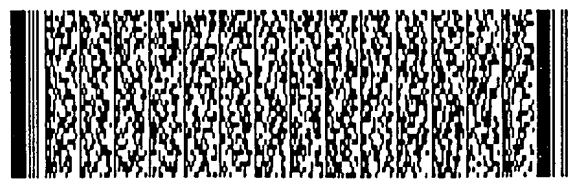
然而，由於SLS製程所使用的儀器設備較為昂貴，且其比傳統ELA製程多使用一道特殊光罩，因此整體電晶體在製造上的成本相當高。此外，SLS製程仍無法減少形成多晶矽薄膜所需之工時。

【發明內容】

因此，本發明的目的就是提供一種低溫多晶矽薄膜電晶體結構，其通道層中的晶粒具有較佳的尺寸均勻性，且晶粒界面也較少，使得此電晶體具有較佳的元件特性。

本發明的另一目的是提供一種低溫多晶矽薄膜電晶體之通道層的製造方法，可以控制電晶體之通道區中的晶粒大小及其晶向，進而提高電子在其中的遷移率。此外，此製造方法所使用之製程設備可與習知製程的設備相容，進而節省製程成本。

本發明提出一種低溫多晶矽薄膜電晶體結構，適於配置在基板上。此低溫多晶矽薄膜電晶體結構主要是由頂蓋層、多晶矽薄膜以及閘極所構成。其中頂蓋層係配置在基板上方，且其與基板間具有一間隙區。多晶矽薄膜係配置



五、發明說明 (4)

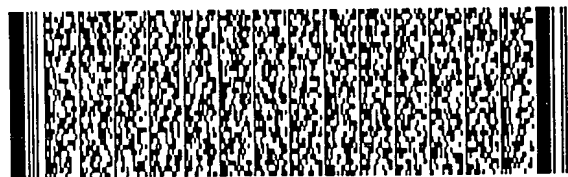
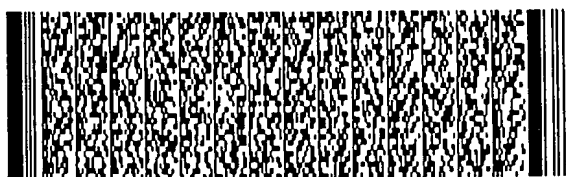
在頂蓋層上，並可區分為通道區以及位於通道區兩側之源極/汲極區。其中通道區係位於間隙區的上方，且通道區內之多晶矽薄膜即為電晶體之通道層。而閘極則係配置在通道區的上方。

依照本發明之實施例所述，此低溫多晶矽薄膜電晶體結構更包括配置在基板上的緩衝層，其係位於頂蓋層與基板之間，用以阻擋基板中之雜質在製程中發生非預期之擴散，進而影響元件之效能。而在本實施例中，間隙區例如是位於頂蓋層與緩衝層之間，且間隙區所具有之熱傳導係數低於緩衝層及基板之熱傳導係數。

依照本發明之實施例所述，此低溫多晶矽薄膜電晶體結構更包括有閘介電層，其係配置在多晶矽薄膜上。

依照本發明之實施例所述，通道區內之多晶矽薄膜的晶粒例如是大於源極/汲極區內之多晶矽薄膜的晶粒，因而使電晶體具有較高的驅動電流以及較低的漏電流。此外，由於通道區內的晶粒尺寸較大，因此其中之晶粒界面的數量亦少於源極/汲極區內之晶粒界面的數量，所以電子可在通道區內受電場移動卻不易被晶粒界面散射，故具有較佳的電子遷移率。而閘極之寬度較佳的是小於通道區內之晶粒的尺寸。此外，在另一實施例中，此閘極例如是雙閘極結構，更可減少電子直接受到通道中央之唯一晶粒界面的影響，而明顯提升電晶體的效能。

依照本發明之實施例所述，此低溫多晶矽薄膜電晶體結構更包括介電層、源極/汲極接觸孔以及源極/汲極導體



五、發明說明 (5)

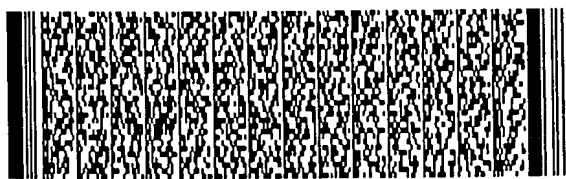
層。其中，介電層係配置於多晶矽薄膜上並覆蓋住閘極。源極/汲極接觸孔皆係配置在介電層以及閘介電層中，並與源極/汲極區電性接觸。而源極/汲極導體層則係配置在介電層上，並填入源極/汲極接觸孔而與源極/汲極區電性連接。

本發明還提出一種低溫多晶矽薄膜電晶體之通道層的製造方法，此方法係先在基板上方形成犧牲層，再於犧牲層上依序形成頂蓋層以及非晶矽薄膜。接著再移除犧牲層，而於基板與頂蓋層之間形成間隙區。之後再令非晶矽薄膜熔融後再結晶，以於間隙區上方的頂蓋層上形成多晶矽通道層。

依照本發明之實施例所述，此方法更包括在形成犧牲層之前，先在基板上形成緩衝層，用以阻擋基板中之雜質在製程中發生非預期之擴散。然後再將犧牲層形成於緩衝層上。

依照本發明之實施例所述，移除犧牲層的方法例如是進行濕式蝕刻製程，其例如是將已形成之結構浸泡於蝕刻液中。而在此步驟中，犧牲層的被蝕刻速率大於其他膜層的被蝕刻速率。

依照本發明之實施例所述，使非晶矽薄膜熔融後再結晶而形成多晶矽通道層之步驟包括先以準分子雷射照射非晶矽薄膜，使非晶矽薄膜熔融為液態之矽材料。接著進行退火製程，以使矽材料中的晶粒重新排列而形成多晶矽薄膜。其中位於間隙區上方的多晶矽薄膜即為多晶矽通道



五、發明說明 (6)

層，且多晶矽通道層內的矽晶粒會大於多晶矽薄膜在其他區域內的矽晶粒。

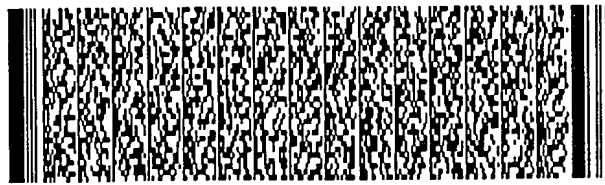
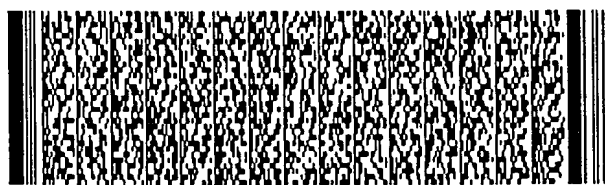
本發明所形成之多晶矽薄膜中的晶粒之晶向皆平行於往後電晶體在工作狀態下之電子傳輸的方向，可因而改善電子在通道區中的遷移率，進而提高電晶體的工作效能。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明係在將非晶矽薄膜轉變為多晶矽薄膜的製程前，先移除非晶矽薄膜在後續製程中欲作為多晶矽通道之區域下方的犧牲層而形成較兩側之熱傳導性低的間隙區，以使此處上方的矽晶粒結晶速率較兩側區域內之矽晶粒的結晶速率慢，進而使晶粒由兩側往中央側向成長，並在通道區中長成較大尺寸的晶粒。以下實施例係用以說明本發明之觀念，以使熟習此技藝者更為瞭解本發明，並非用以限定本發明。

圖3繪示為本發明之一較佳實施例的低溫多晶矽薄膜電晶體之剖面示意圖。請參照圖3，本發明之低溫多晶矽薄膜電晶體330主要是由基板300、頂蓋層306、多晶矽薄膜308a、閘極316以及源極/汲極導體層336所構成。其中，頂蓋層306係配置在基板300之上方，且在本實施例中，基板300上例如是配置有位於頂蓋層306與基板300之間的緩衝層302，用以阻擋基板中之雜質在製程中發生非



五、發明說明 (7)

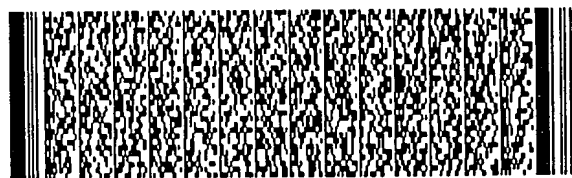
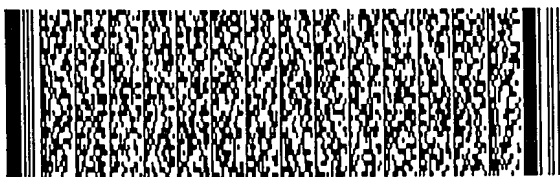
預期之擴散，進而影響元件之效能。

特別的是，並位於頂蓋層306與緩衝層302之間更具有間隙區310。而間隙區310內例如是具有熱傳導係數低的空氣或是其他氣體。

多晶矽薄膜308a係配置在頂蓋層306上，且其可區分為通道區322以及摻有雜質(dopant)的源極/汲極區318，其中通道區322係位於間隙區310的上方，且通道區322內之多晶矽薄膜308a即是低溫多晶矽薄膜電晶體330的多晶矽通道層。閘極316係配置在多晶矽薄膜308a之通道區322的上方，且多晶矽薄膜308a上例如是配置有閘介電層314。

介電層324係配置於閘介電層314上，並覆蓋住閘極316。而介電層324上配置有源極/汲極導體層336，且源極/汲極導體層336係藉由配置在介電層324以及閘介電層314中的源極/汲極接觸孔332而與源極/汲極區318電性連接。

值得特別注意的是，在本實施例中，通道區322內之多晶矽薄膜308a中的矽晶粒340例如是大於源極/汲極區318內之多晶矽薄膜308a中的矽晶粒350，且其較佳尺寸約略是大於通道區322之長度L的一半，因此低溫多晶矽薄膜電晶體330可具有較高的驅動電流。而且，因為通道區322內的晶粒340尺寸較大，因此通道區322內的晶粒界面360之數量會小於源極/汲極區318內的晶粒界面360之數量。且晶粒的晶向係平行於電子在低溫多晶矽薄膜電晶體330內的傳輸方向，因此當低溫多晶矽薄膜電晶體330處於工



五、發明說明 (8)

作狀態下時，電子載體可輕易地穿過通道區322，而不會因通道區322內的晶粒界面360過多而散射，使得電子遷移率降低。

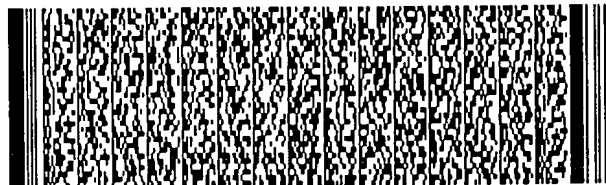
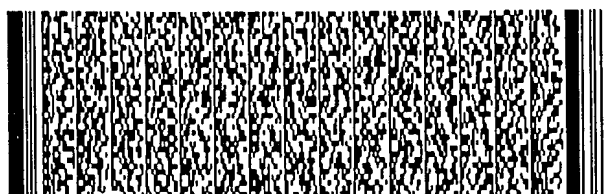
特別的是，本發明還可以將低溫多晶矽薄膜電晶體330的閘極316寬度縮小，以使其小於晶粒340之尺寸（如圖4A所示），即可避免薄膜電晶體之通道區跨越晶粒界面，進而能使薄膜電晶體能夠具有較佳的效能。熟習此技藝者應該知道，在此所謂之晶粒尺寸通常是指平行於閘極寬度之方向上的晶粒長度。

而除了縮小閘極的寬度之外，本發明還可以在低溫多晶矽薄膜電晶體上配置雙閘極結構416，如圖4B所示，其繪示為本發明之另一實施例中的低溫多晶矽薄膜電晶體之上視圖。此種雙閘極結構416亦可減少電子直接受到通道中央之唯一晶粒界面的影響，而明顯提升電晶體的效能。

本發明係藉由特殊的製程來完成上述通道區具有較佳特性的低溫多晶矽薄膜電晶體，以下將舉實施例對上述之低溫多晶矽薄膜電晶體的通道層之製造方法加以說明。

圖5A至圖5E繪示為本發明一較佳實施例的一種低溫多晶矽薄膜電晶體之通道層的製造流程剖面示意圖。而圖6A至圖6E則分別對應圖5A至圖5E而繪示其上視圖。

請參照圖5A，首先依序在基板300上形成緩衝層（buffer layer）302以及犧牲層304，其形成方法例如是化學氣相沈積法（Chemical Vapor Deposition）或是濺鍍（sputtering）法，而犧牲層304的材質例如是金屬材



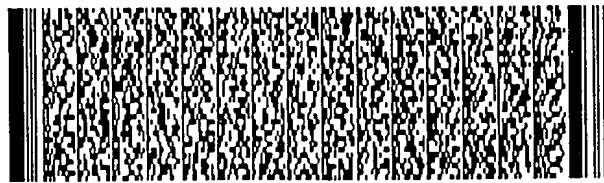
五、發明說明 (9)

料。值得注意的是，緩衝層302係為選擇性之元件，其功用如前述實施例所述，此處不再贅述。而熟習此技藝者可依實際製程所需來決定緩衝層302的存在與否，本發明不對其加以限定。而犧牲層304例如是一配置在緩衝層302上的長方形圖案之膜層，如圖6A所示。

請參照圖5B以及圖6B，依序在緩衝層302上形成頂蓋層306以及非晶矽薄膜308，並覆蓋住犧牲層304。其中，在後續製程中將以犧牲層304上方之區域312內形成低溫多晶矽薄膜電晶體的通道層，並於區域312之兩側中形成源極/汲極區。因此，犧牲層304之寬度即決定此低溫多晶矽薄膜電晶體之通道層的長度。換言之，藉由控制犧牲層304之寬度可以有效控制低溫多晶矽薄膜電晶體中通道區的長度。

請參照圖5C以及圖6C，接著移除犧牲層304，以於頂蓋層306與緩衝層302之間形成間隙區310，而間隙區310內例如是具有空氣。此步驟的作法例如是以濕式蝕刻移除犧牲層304，也就是將圖5B所繪示之結構浸泡於一蝕刻液之中（未繪示），而且此蝕刻液對犧牲層304的蝕刻速率係遠大於其對其他膜層的蝕刻速率，所以此步驟能夠在其他膜層均保持完整的情況下移除犧牲層304。

請同時參照圖5D及圖5E，在形成間隙區310之後，接著進行雷射退火製程以令非晶矽薄膜308熔融後再結晶而形成多晶矽薄膜308a，並於間隙區310上方的頂蓋層306上形成多晶矽通道層522（也就是位於區域312之內的多晶矽



五、發明說明 (10)

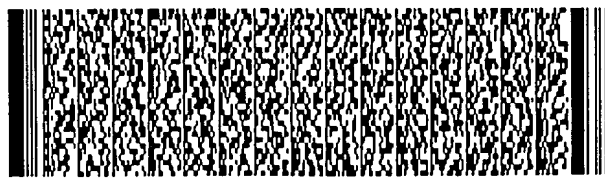
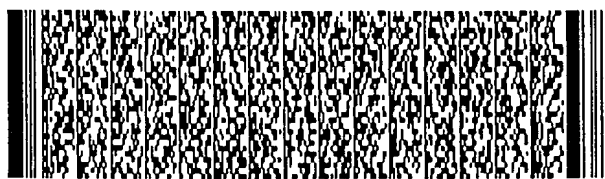
薄膜308a)。而本實施例所使用之雷射退火製程例如是準分子雷射退火製程，如圖5D所示，其是利用準分子雷射光束326照射非晶矽薄膜308以使其融熔而成為液態矽（未繪示）。經過一段時間後，液態矽會慢慢降溫而再結晶為多晶矽薄膜。此時，由於區域312係位於間隙區310之上方，且間隙區310內例如是具有空氣，而空氣的熱傳導係數約為 $0.025\text{W/cm}^2\text{K}$ ，遠小於頂蓋層306以及緩衝層302的熱傳導係數。因此，區域312內的液態矽之結晶速率會較兩側之液態矽的結晶速率慢。換言之，在固化過程中，矽原子將由兩側往區域312中央橫向成長晶粒而形成多晶矽薄膜308a，而區域312內的多晶矽薄膜308a即為電晶體之多晶矽通道層522，如圖5E及圖6E所示。

特別的是，由於區域312內的晶粒成長較慢，因此所形成的晶粒尺寸也就比兩側區域內所形成的晶粒大，也就是說多晶矽通道層522中的晶粒具有較大的尺寸，其例如是略大於多晶矽通道層322長度 L 的一半。

此外，由於多晶矽通道層322內之晶粒界面的數量少於兩側區域內晶粒界面的數量，因此電子在多晶矽通道層322內可具有較佳的遷移率，進而提高電晶體的工作效能。

綜上所述，本發明之低溫多晶矽薄膜電晶體具有下列優點：

1. 由於此電晶體之通道區內的晶粒具有較大的尺寸以及較佳的尺寸均勻性，因此本發明之電晶體具有較高的驅



五、發明說明 (11)

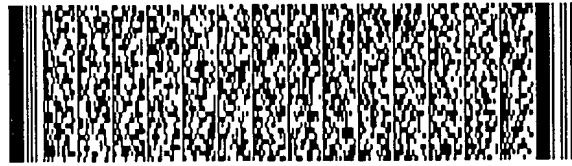
動電流以及高電子遷移率。

2. 利用本發明之製程所形成的多晶矽薄膜，其中晶粒的晶向皆平行於電子在電晶體內之傳輸方向，因此本發明能夠改善電子在通道區中的遷移率，進而提高電晶體的工作效能。

3. 此電晶體中的通道區之寬度與長度係取決於犧牲層之寬度及長度。因此，通道區的寬長比即可依實際製程所需來調整犧牲層的大小，製程裕度較大。

4. 本發明之製程設備與習知製程設備相容，其例如是可以藉由習知準分子雷射退火製程的設備來達成連續側向固化 (Sequential Lateral Solidification, SLS) 製程的水準，也就是說，本發明在提高產品品質的同時，亦能夠節省製程設備成本，以達最大之生產利潤。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A及圖1B是習知低溫多晶矽薄膜之製造流程剖面示意圖。

圖2A至圖2B繪示為習知另一種低溫多晶矽薄膜之製造流程剖面示意圖。

圖3繪示為本發明之一較佳實施例的低溫多晶矽薄膜電晶體之剖面示意圖。

圖4A繪示為本發明之一實施例中的低溫多晶矽薄膜電晶體之上視圖。

圖4B繪示為本發明之另一實施例中的低溫多晶矽薄膜電晶體之上視圖。

圖5A至圖5E繪示為本發明一較佳實施例的一種低溫多晶矽薄膜電晶體之通道層的製造流程剖面示意圖。

圖6A、圖6B、圖6C以及圖6E則分別對應圖5A、圖5B、圖5C以及圖5E而繪示其上視圖。

【圖式標示說明】

100、300：基板

102、308：非晶矽薄膜

102a、202a、308a：多晶矽薄膜

104：光罩

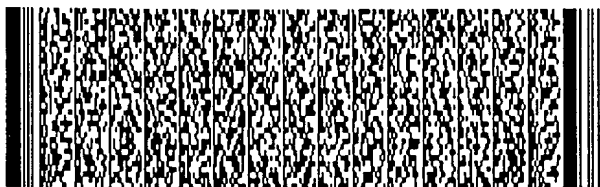
106、326：準分子雷射光束

108：孔洞

110、312：區域

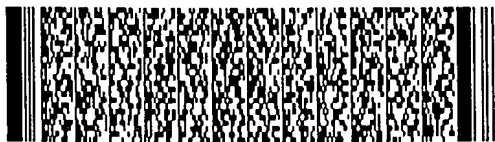
302：緩衝層

304：犧牲層



圖式簡單說明

- 306 : 頂 蓋 層
- 310 : 間 隙 區
- 314 : 閘 介 電 層
- 316 : 閘 極
- 318 : 源 極 / 汲 極 區
- 322 : 通 道 區
- 324 : 介 電 層
- 330 : 低 溫 多 晶 矽 薄 膜 電 晶 體
- 332 : 源 極 / 汲 極 接 觸 孔
- 336 : 源 極 / 汲 極 導 體 層
- 340、350 : 矽 晶 粒
- 416 : 雙 閘 極 結 構
- 522 : 多 晶 矽 通 道 層



六、申請專利範圍

1. 一種低溫多晶矽薄膜電晶體結構，適於配置在一基板上，該低溫多晶矽薄膜電晶體結構包括：

一頂蓋層，配置於該基板上方，其中該頂蓋層與該基板之間具有一間隙區；

一多晶矽薄膜，配置於該頂蓋層上，且該多晶矽薄膜包括一通道區以及一位於該通道區兩側之源極/汲極區，其中該通道區係位於該間隙區上方；以及

一閘極，配置於該多晶矽薄膜之該通道區上方。

2. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，更包括一緩衝層，配置於該基板與該頂蓋層之間，而該間隙區係位於該頂蓋層與該緩衝層之間。

3. 如申請專利範圍第2項所述之低溫多晶矽薄膜電晶體結構，其中該間隙區所具有之熱傳導係數低於該緩衝層之熱傳導係數。

4. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該間隙區所具有之熱傳導係數低於該基板之熱傳導係數。

5. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，更包括一閘介電層，配置於該多晶矽薄膜上。

6. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該多晶矽薄膜之該通道區內的晶粒尺寸大於該多晶矽薄膜之該源極/汲極區內的晶粒尺寸。

7. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該閘極寬度小於該通道區內的晶粒尺寸



六、申請專利範圍

8. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該閘極係一雙閘極結構。

9. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，更包括：

一介電層，配置於該多晶矽薄膜以及該閘極上，其中該介電層具有多數個接觸孔，以暴露出該多晶矽薄膜之該源極/汲極區；以及

一源極/汲極導體層，配置於該介電層上，且該源極/汲極導體層係藉由該介電層中之該些接觸孔與該多晶矽薄膜之該源極/汲極區電性連接。

10. 一種低溫多晶矽薄膜電晶體之通道層的製造方法，包括：

於一基板上方形形成一犧牲層；

於該基板上方形形成一頂蓋層覆蓋該犧牲層；

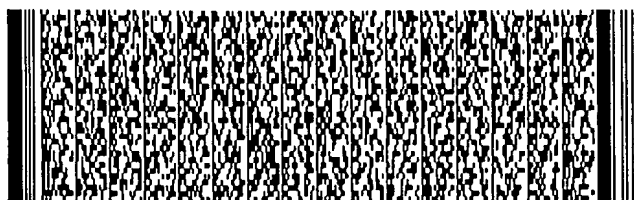
於該頂蓋層上形成一非晶矽薄膜；

移除該犧牲層，以在該基板與該頂蓋層之間形成一間隙區；以及

令該非晶矽薄膜熔融後再結晶，以於該間隙區上方的該頂蓋層上形成一多晶矽通道層。

11. 如申請專利範圍第10項所述之低溫多晶矽薄膜電晶體之通道層的製造方法，其中在該基板上方形形成該犧牲層之前，更包括形成一緩衝層於該基板上。

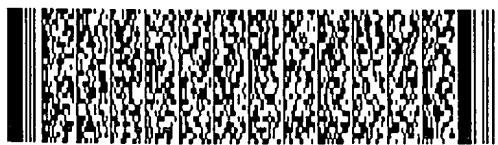
12. 如申請專利範圍第10項所述之低溫多晶矽薄膜電晶體之通道層的製造方法，其中移除該犧牲層的方法包括



六、申請專利範圍

濕式蝕刻，且該犧牲層的被蝕刻率高於該頂蓋層的被蝕刻率。

13. 如申請專利範圍第10項所述之低溫多晶矽薄膜電晶體之通道層的製造方法，其中令該非晶矽薄膜熔融之方式包括準分子雷射退火製程。



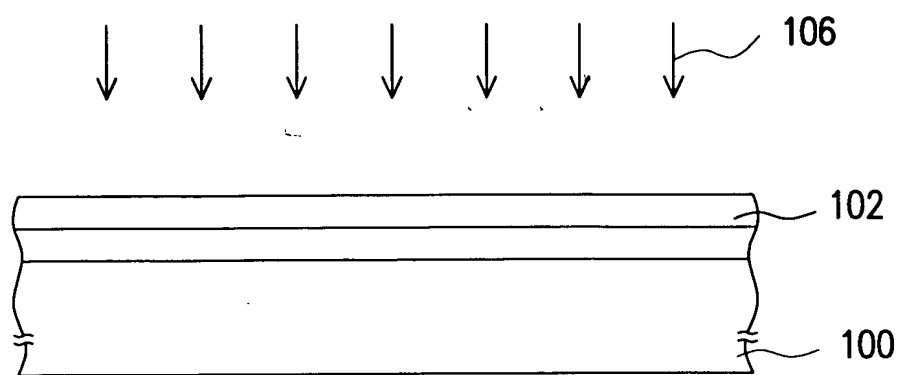


圖 1A

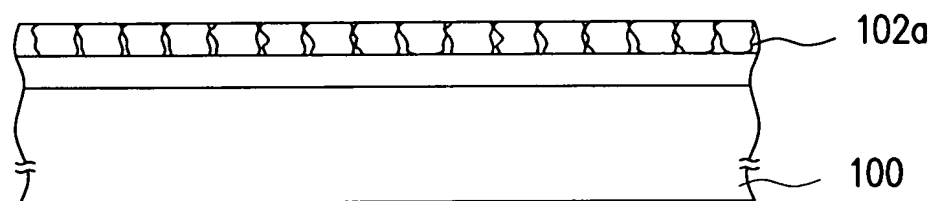


圖 1B

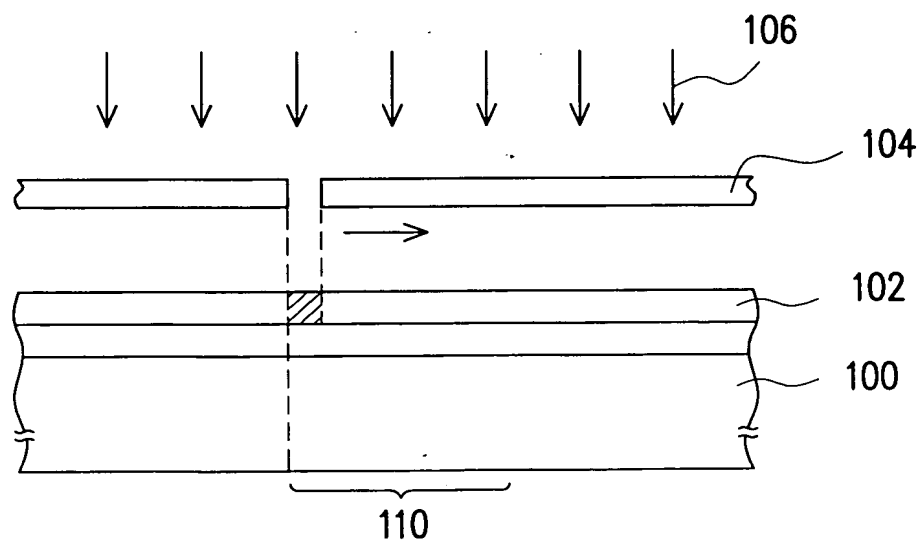


圖 2A

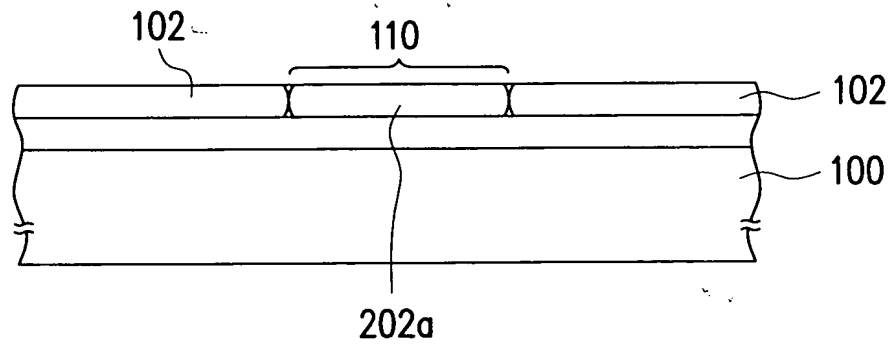


圖 2B

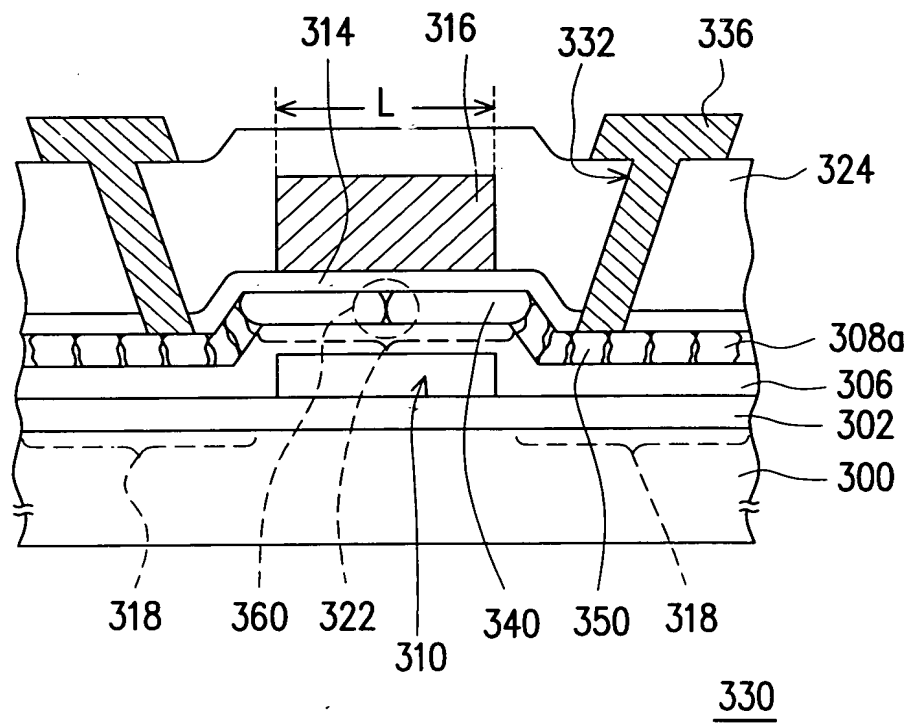


圖 3

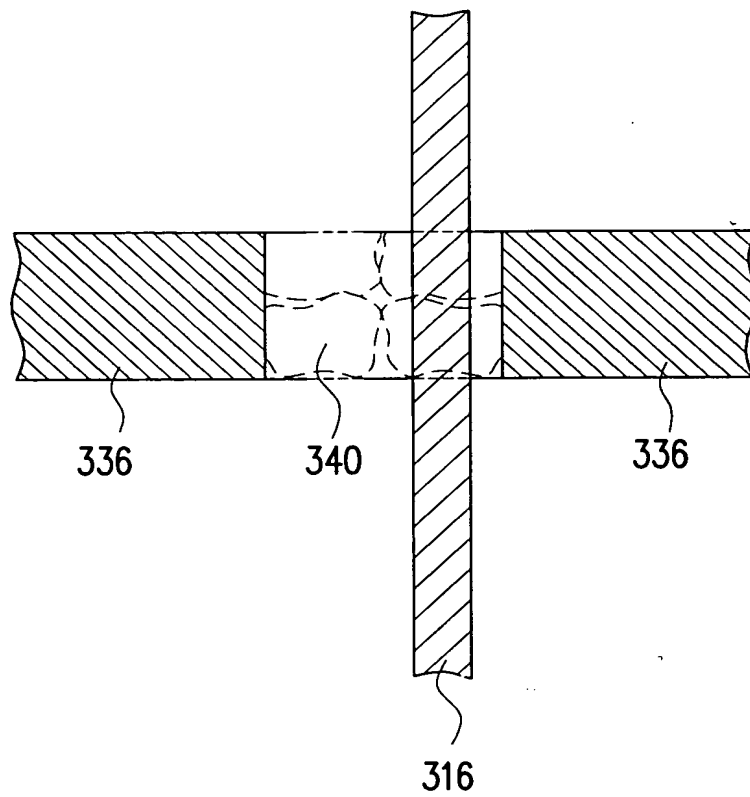


圖 4A

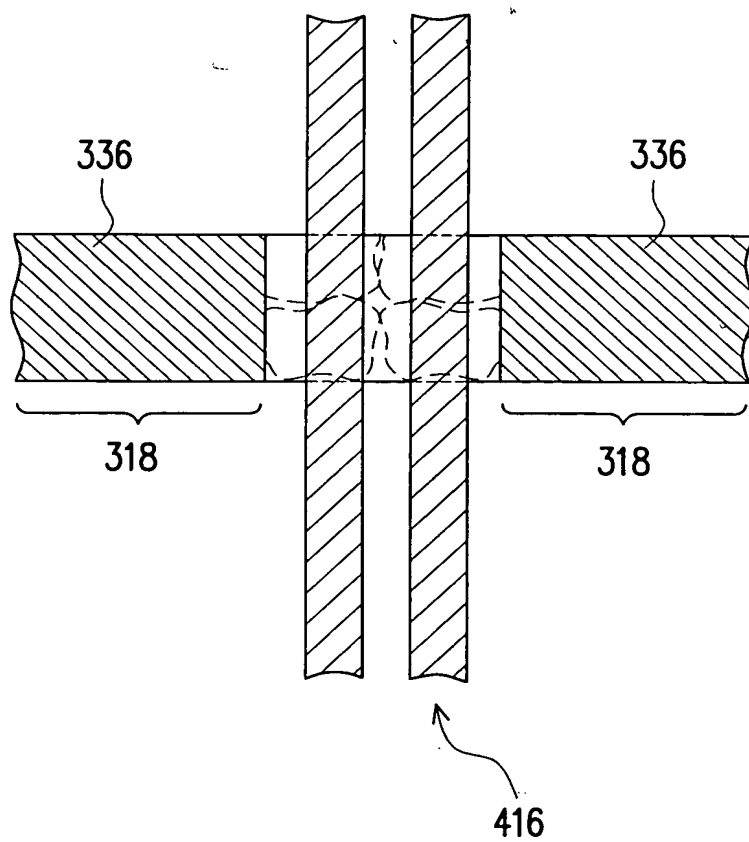


圖 4B

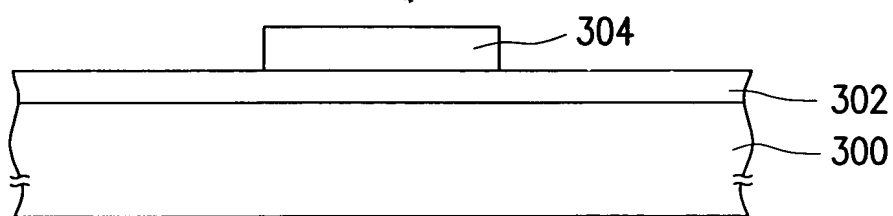


圖 5A

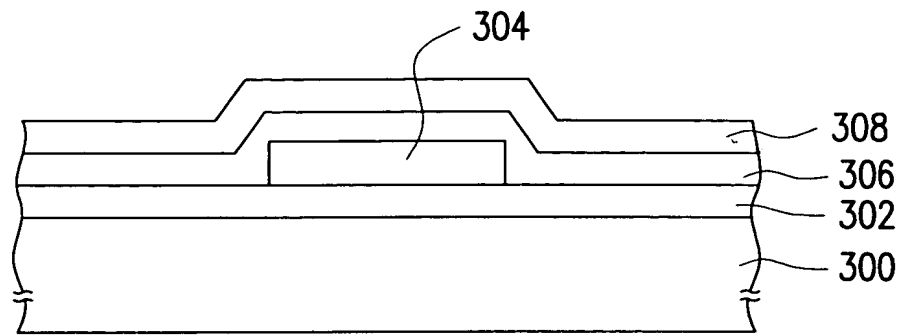


圖 5B

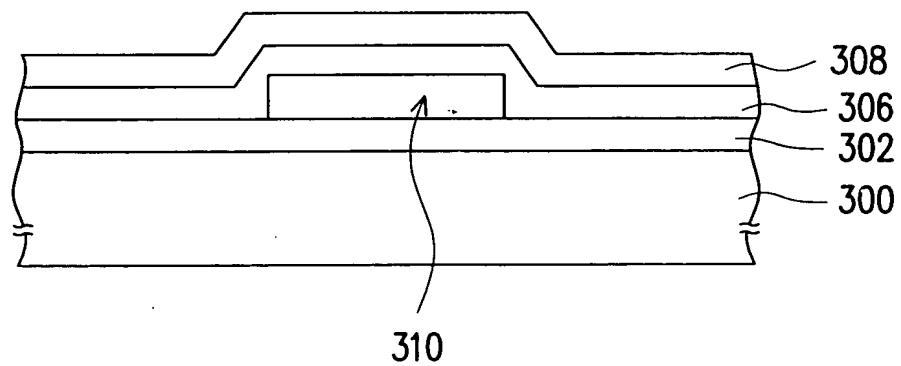


圖 5C

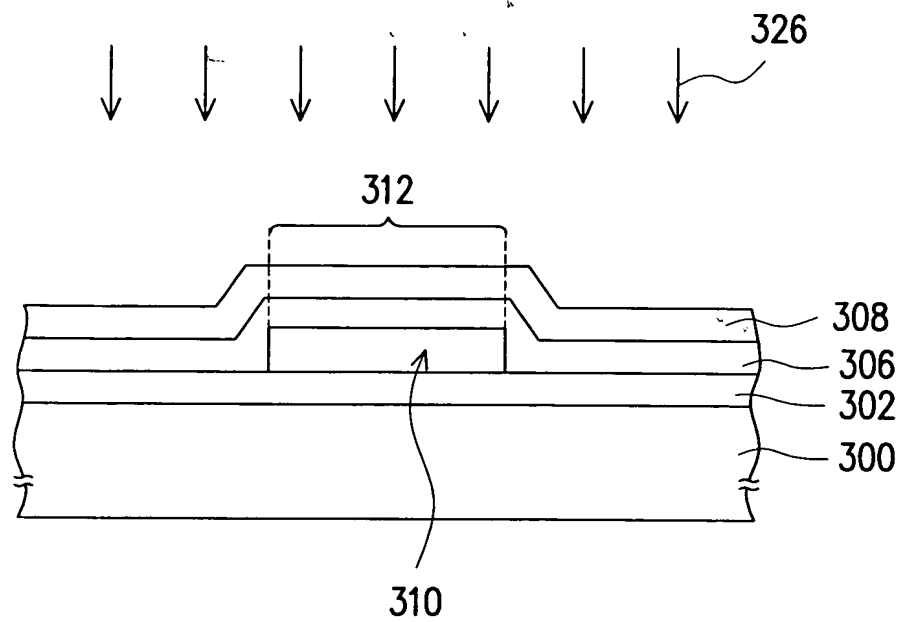


圖 5D

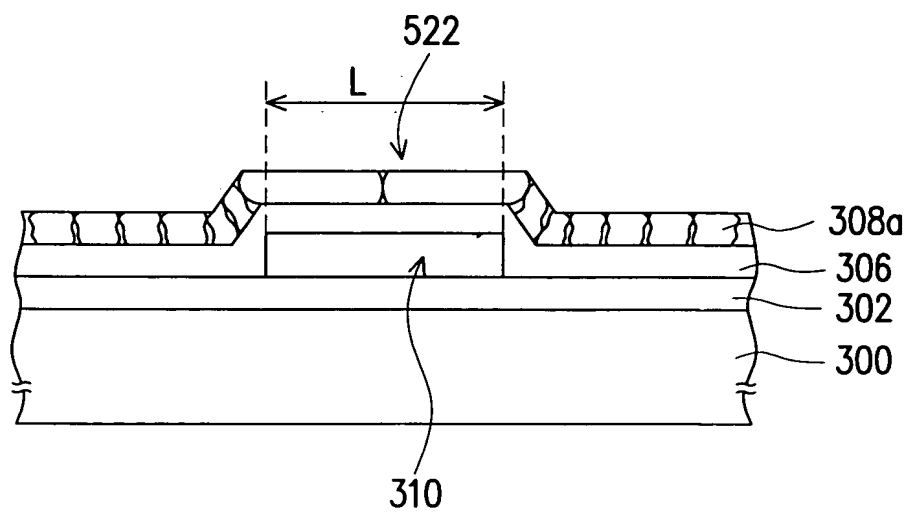


圖 5E

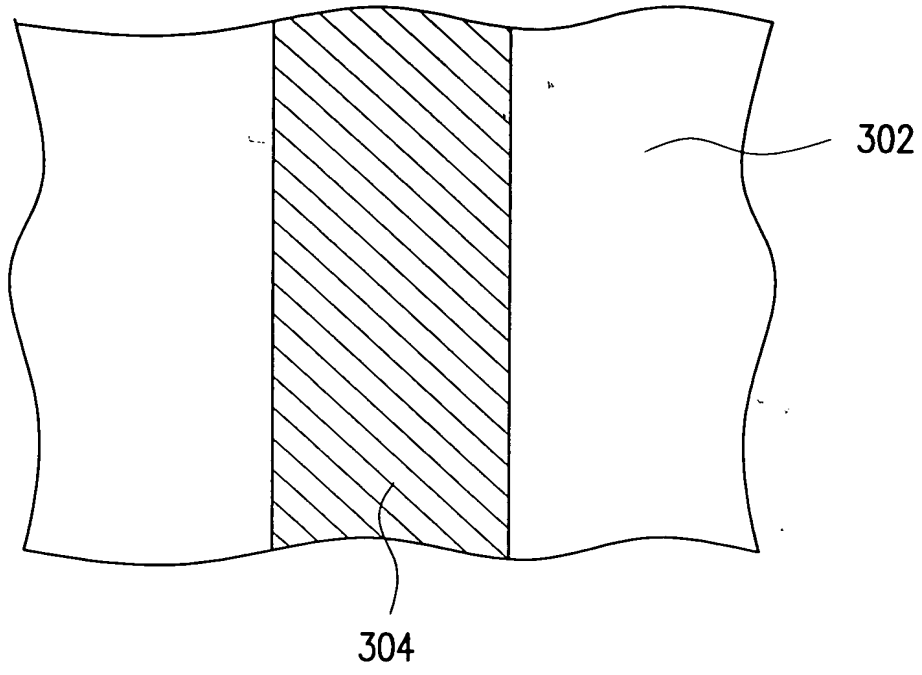


圖 6A

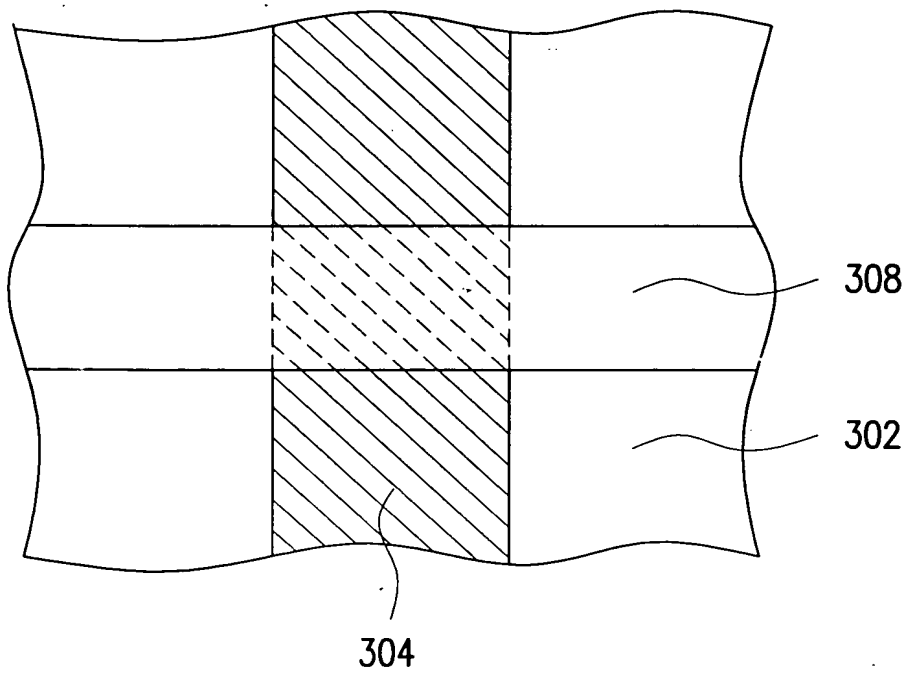


圖 6B

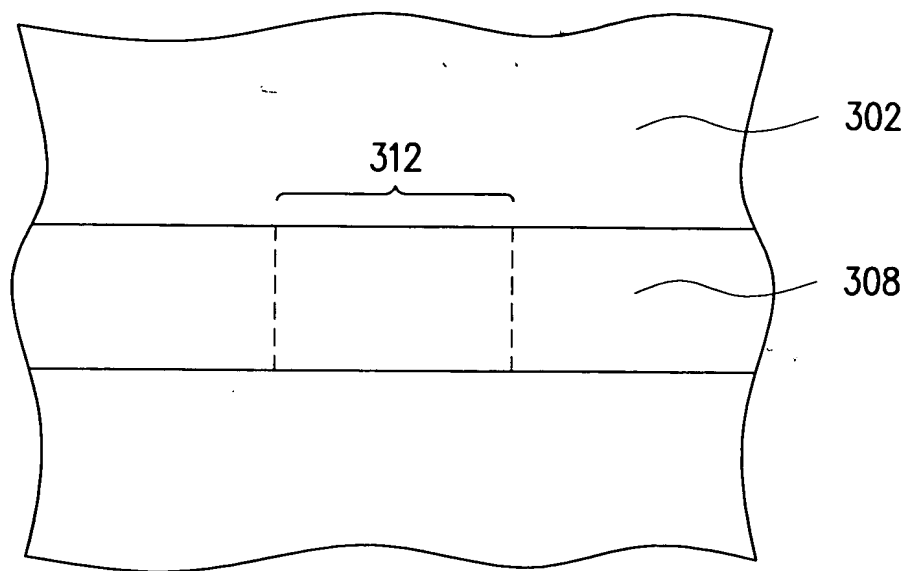


圖 6C

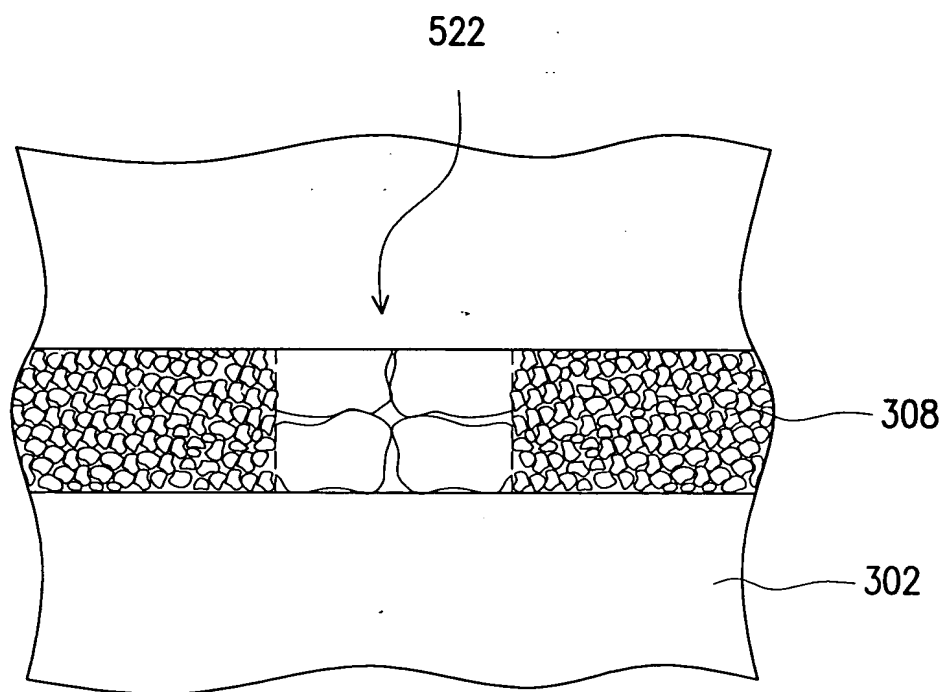
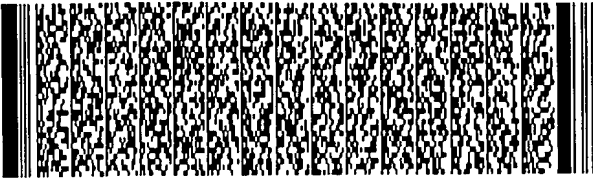
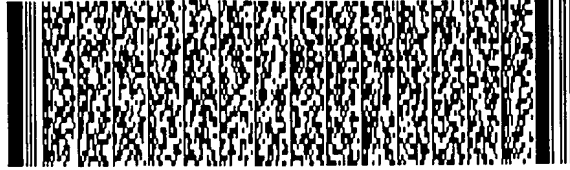


圖 6E

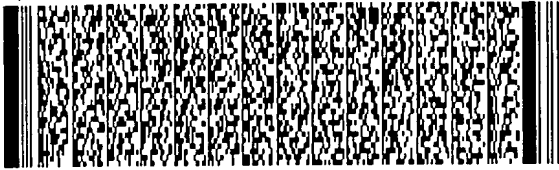
第 1/22 頁



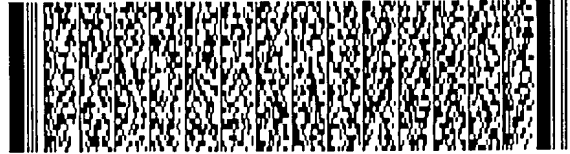
第 2/22 頁



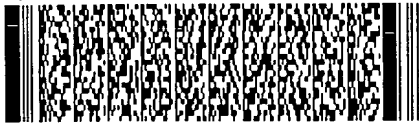
第 2/22 頁



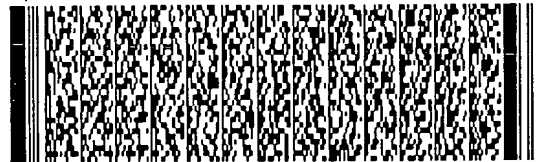
第 3/22 頁



第 4/22 頁



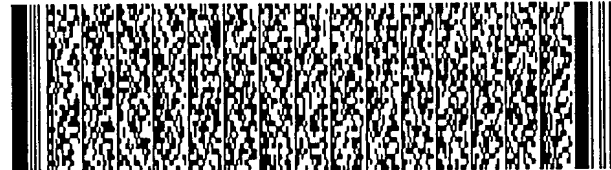
第 5/22 頁



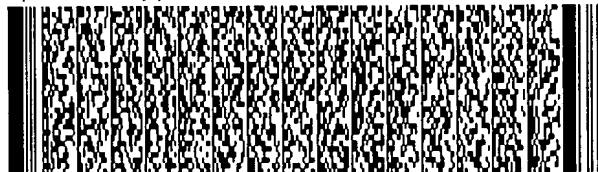
第 6/22 頁



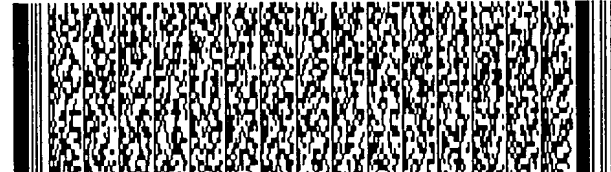
第 7/22 頁



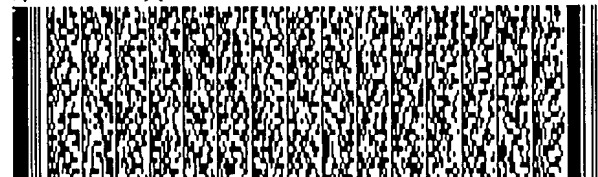
第 7/22 頁



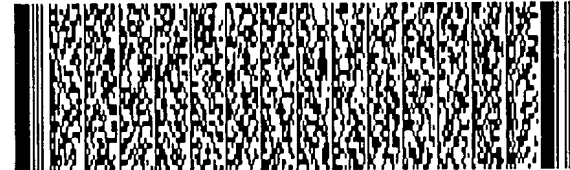
第 8/22 頁



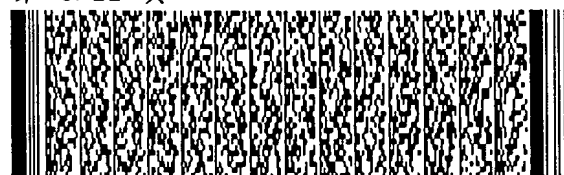
第 8/22 頁



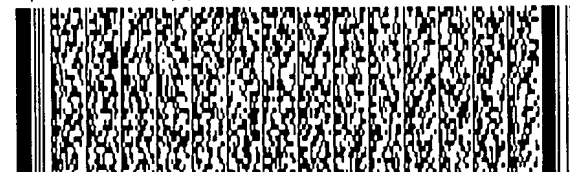
第 9/22 頁



第 9/22 頁



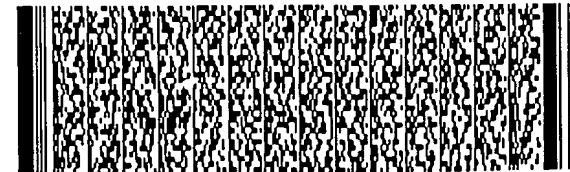
第 10/22 頁



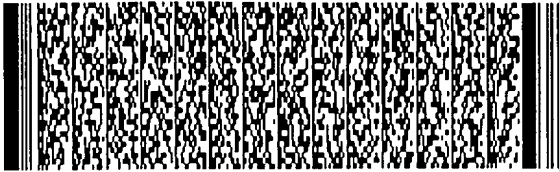
第 10/22 頁



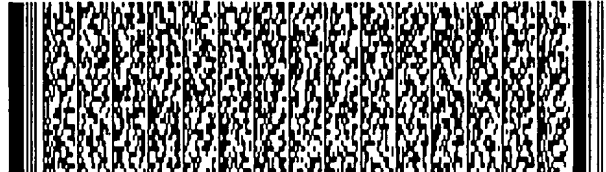
第 11/22 頁



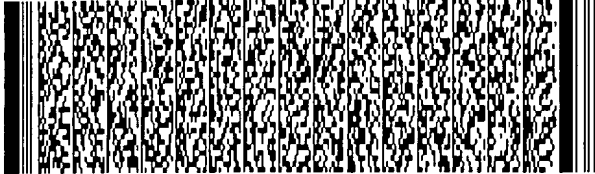
第 11/22 頁



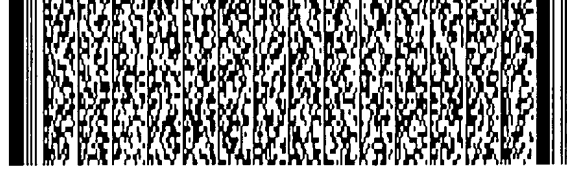
第 12/22 頁



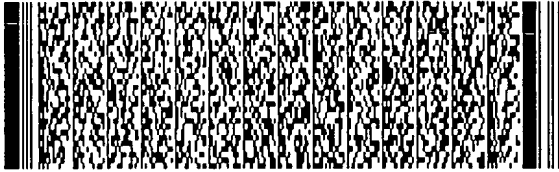
第 12/22 頁



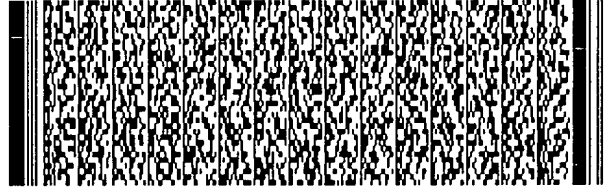
第 13/22 頁



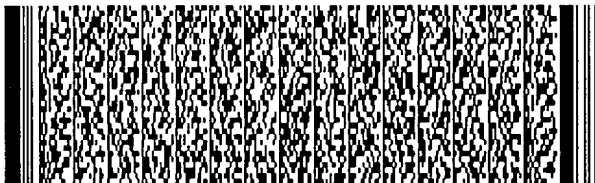
第 13/22 頁



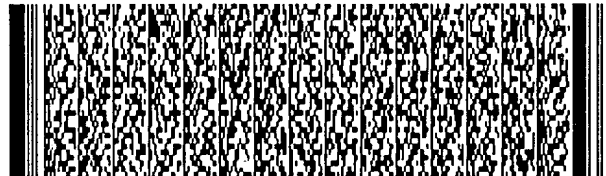
第 14/22 頁



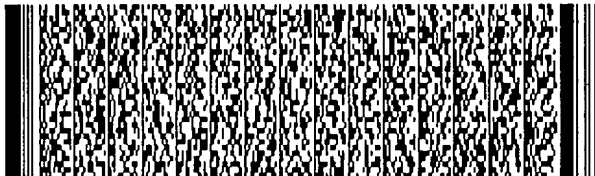
第 14/22 頁



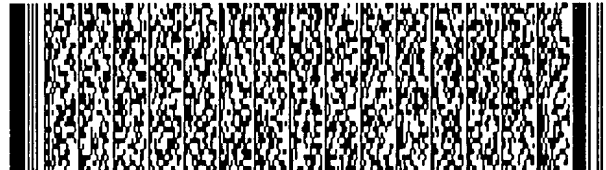
第 15/22 頁



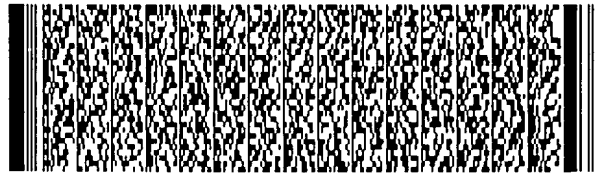
第 15/22 頁



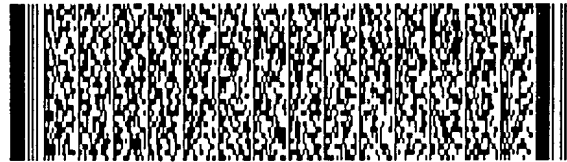
第 16/22 頁



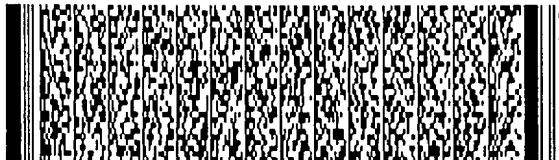
第 16/22 頁



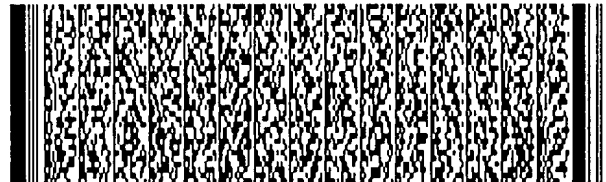
第 17/22 頁



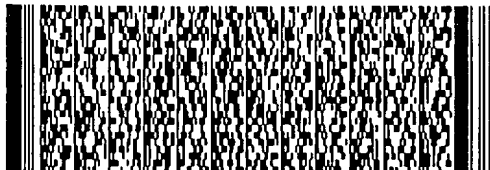
第 17/22 頁



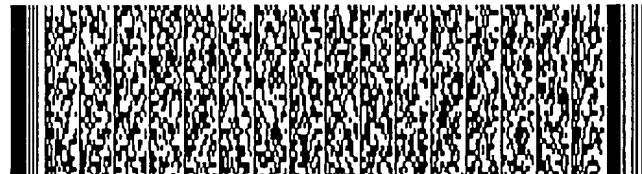
第 18/22 頁



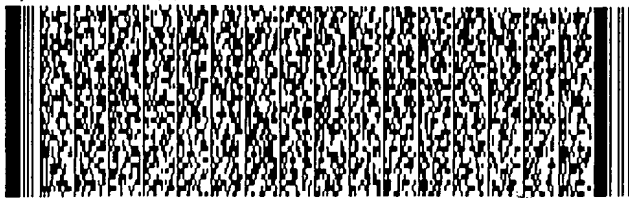
第 19/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁



茲委託周鈺琇承辦第八九一四六七二號發明專利申請事件閱覽、抄錄及影印其全部檔案資料事宜。
特此證明

委託書

委託人：詹銘文 技師

I D::H120071469

事務所：將智權事務所

所址：台北市羅斯路二段100號七樓之一

電話：23692800

受託人：周鈺琇

I D::P222409253

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.